



# ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW  
50 BROADWAY  
31st FLOOR  
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS  
VAN C. WILKS.

JOHN R. BENEFIEL  
PAUL R. HOFFMAN  
TAKESHI NISHIDA  
FRANCO S. DE LIGUORI

• NOT ADMITTED IN NEW YORK  
• REGISTERED PATENT AGENT

RIGGS T. STEWART  
(1924-1993)

TELEPHONE  
(212) 809-3700

FACSIMILE  
(212) 809-3704

NOVEMBER 26, 2004

COMMISSIONER FOR PATENTS  
Washington, DC 20231

Re: Patent Application of Mika SHIIKI et al.  
Serial No. 09/916,527      Filing Date: July 27, 2001  
Examiner: Keisha L. Rose      Group Art Unit: 2822  
Docket No. S004-4335

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

- |   |       |                 |
|---|-------|-----------------|
| 1. Japanese Patent Appln. No. 2000-260803 | filed | August 30, 2000 |
| 2. Japanese Patent Appln. No.             | filed |                 |
| 3. Japanese Patent Appln. No.             | filed |                 |
| 4. Japanese Patent Appln. No.             | filed |                 |
| 5. Japanese Patent Appln. No.             | filed |                 |
| 6. Japanese Patent Appln. No.             | filed |                 |
| 7. Japanese Patent Appln. No.             | filed |                 |
| 8. Japanese Patent Appln. No.             | filed |                 |
| 9. Japanese Patent Appln. No.             | filed |                 |
| 10. Japanese Patent Appln. No.            | filed |                 |
| 11. Japanese Patent Appln. No.            | filed |                 |

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

## MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER OF PATENTS & TRADEMARKS, Washington, DC 20231, on the date indicated below.

DEBRA BUONINCONTRI

Name

*Debra Buonincontri*

Signature

NOVEMBER 26, 2004

Date

BLA:db  
Enclosures

Respectfully submitted,

ADAMS & WILKS  
Attorneys for Applicant(s)

By:

*Bruce L. Adams*  
Bruce L. Adams  
Reg. No. 25,386



**PART B - FEE(S) TRANSMITTAL**  
**PAGE 2**

**ADDITIONAL ATTACHMENTS**

TRANSMITTAL LETTER (WITH MAILING CERTIFICATE) and CERTIFIED COPY  
OF JAPANESE PATENT APPLN. NO. 2000-260803

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 8月30日

09,916,527

出願番号

Application Number:

特願2000-260803

出願人  
Applicant(s):

セイコーインスツルメンツ株式会社

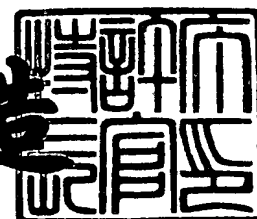
CERTIFIED COPY OF  
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2001年 4月27日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3035856

【書類名】 特許願

【整理番号】 00000491

【提出日】 平成12年 8月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H01C 1/00

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

【氏名】 椎木 美香

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内

【氏名】 鷹巣 博昭

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 服部 純一

【代理人】

【識別番号】 100096286

【弁理士】

【氏名又は名称】 林 敬之助

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003012

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 第一の導電体の上に第一の絶縁膜を介して複数の薄膜抵抗体を構成したブリーダー抵抗回路を有する半導体装置において、前記薄膜抵抗体の下部の第一の導電体と前記薄膜抵抗体とを概ね同電位にすることを特徴とする半導体装置。

【請求項 2】 前記薄膜抵抗体の上に第二の絶縁膜を形成し、前記第二の絶縁膜の上であって前記薄膜抵抗体の上部の位置に第二の導電体を形成し、前記薄膜抵抗体と前記第二の導電体とを概ね同電位にすることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記複数の薄膜抵抗体のおのおのに対応する前記第一の導電体の電位は、前記複数の薄膜抵抗体のおのおのの電位と概ね同電位であることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 前記複数の薄膜抵抗体のおのおのに対応する前記第二の導電体の電位は、前記複数の薄膜抵抗体のおのおのの電位と概ね同電位であることを特徴とする請求項 2 記載の半導体装置。

【請求項 5】 前記薄膜抵抗体はポリシリコンよりなることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】 前記薄膜抵抗体はポリシリコンよりなることを特徴とする請求項 2 記載の半導体装置。

【請求項 7】 前記薄膜抵抗体に導入する不純物が P 型であることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 8】 前記薄膜抵抗体に導入する P 型の不純物が  $\text{BF}_2$  であることを特徴とする請求項 7 記載の半導体装置。

【請求項 9】 前記薄膜抵抗体に導入する P 型の不純物がボロンであることを特徴とする請求項 7 記載の半導体装置。

【請求項 10】 前記薄膜抵抗体の膜厚は数 10 から 2000 オングストロームであることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 1 1】 前記薄膜抵抗体の膜厚は数 10 から 1000 オングストロームであることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 1 2】 前記第一の導電体はシリコン基板中に形成されたウエル領域からなることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 1 3】 前記第一の導電体はポリシリコンからなることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 1 4】 記第二の導電体はポリシリコンからなることを特徴とする請求項 6 記載の半導体装置。

【請求項 1 5】 記第二の導電体はアルミニウムからなることを特徴とする請求項 6 記載の半導体装置。

【請求項 1 6】 前記第二の導電体はバリアメタル及びシリサイド膜の積層からなることを特徴とする請求項 6 記載の半導体装置。

【請求項 1 7】 前記第一の導電体は前記複数の薄膜抵抗体と同一チップ上に形成される MOS 型トランジスタのゲート電極を構成する材料からなることを特徴とする請求項 6 記載の半導体装置。

【請求項 1 8】 前記複数の薄膜抵抗体のおのおのと、それらに対応する前記第一の導電体の電位は、共通のコンタクトホールを介して金属配線材料により固定されることを特徴とする請求項 5 または 6 記載の半導体装置。

【請求項 1 9】 前記複数の薄膜抵抗体を使用したブリーダー抵抗回路および少なくとも一つの MOS 型トランジスタを有する半導体装置において、前記ブリーダー抵抗回路の前記薄膜抵抗体の膜厚は、前記 MOS 型トランジスタのゲート電極の膜厚よりも薄く形成されていることを特徴とする請求項 5 および 6 記載の半導体装置。

【請求項 2 0】 前記薄膜抵抗体の膜厚は数 10 から 1000 オングストロームであることを特徴とする請求項 1 9 記載の半導体装置。

【請求項 2 1】 前記薄膜抵抗体に導入する不純物が P 型であることを特徴とする請求項 1 9 記載の半導体装置。

【請求項 2 2】 前記薄膜抵抗体に導入する P 型の不純物が  $\text{BF}_2$  であることを特徴とする請求項 2 1 記載の半導体装置。

【請求項23】 前記薄膜抵抗体に導入するP型の不純物がボロンであることを特徴とする請求項21記載の半導体装置。

【請求項24】 前記薄膜抵抗体の抵抗値の温度依存性は $-4000\text{ ppm}/^{\circ}\text{C}$ 以下であることを特徴とする請求項19記載の半導体装置。

【請求項25】 前記薄膜抵抗体を有する半導体装置において、前記薄膜抵抗体は、金属配線と接続するための不純物濃度の高い低抵抗領域と高抵抗領域とからなり、前記低抵抗領域に比べて前記高抵抗領域の膜厚が小さいことを特徴とする請求項5および6記載の半導体装置。

【請求項26】 前記高抵抗領域の膜厚は数10から1000オングストロームであり、前記低抵抗領域の膜厚は2000オングストロームから10000オングストロームであることを特徴とする請求項25記載の半導体装置。

【請求項27】 前記薄膜抵抗体の前記低抵抗領域と前記高抵抗領域とは平坦な同一面上に形成されていることを特徴とする請求項25記載の半導体装置。

【請求項28】 前記薄膜抵抗体の前記低抵抗領域と前記高抵抗領域との上面は平坦な同一面を形成していることを特徴とする請求項25記載の半導体装置。

【請求項29】 前記第一の絶縁膜および前記第二の絶縁膜はシリコン酸化膜よりなることを特徴とする請求項5または6記載の半導体装置。

【請求項30】 前記第一の絶縁膜および前記第二の絶縁膜の一方または両方はシリコン窒化膜を含む多層膜よりなることを特徴とする請求項5または6記載の半導体装置。

【請求項31】 前記複数の薄膜抵抗体を使用したブリーダー抵抗回路全体の抵抗値は1メガオームから100メガオームであることを特徴とする請求項5または6記載の半導体装置。

【請求項32】 シリコン基板を用意し、選択的にイオン注入法により分離、独立したウェル領域を形成する工程と、LOCOS法で選択的にフィールド酸化膜を形成する工程と、その後、ゲート酸化膜を形成し、所定のしきい値制御用のチャネルドープを行い、CVD法によりポリシリコン層堆積し、所定のシート抵抗値となるように選択的にイオン注入法により $\text{BF}_2$ 等の不純物を導入する工



程と、前記ポリシリコン層の所定の領域が低抵抗になるように選択的に高濃度のリンなどの不純物を導入した後、低抵抗のゲート電極と高抵抗領域を有するポリシリコン抵抗体が、前記ウェル領域と整合するように所定の形状にエッチング加工して配置する工程と、イオン注入法によりリンなどN型の不純物を導入して、N型トランジスタのソース領域とドレイン領域を形成する工程と、イオン注入法によりボロンなどP型の不純物を導入して、P型トランジスタのソース領域とドレイン領域および前記ポリシリコン抵抗体の低抵抗領域を形成する工程と、PSG、NSGなどからなる中間絶縁膜を堆積し、続いてコンタクトホールを形成する工程と、スパッタ法により配線となるアルミニウム層をデポし、それぞれの前記ポリシリコン抵抗体上にはそれぞれの前記ポリシリコン抵抗体の一端の低抵抗領域およびそれぞれの前記ウェル領域と接続したそれぞれの前記アルミニウム層が配置されるようにパターニングする工程と、保護膜を形成し、ボンディングパッドなどの領域の保護膜を除去する工程とからなることを特徴とする半導体装置の製造方法。

【請求項33】 シリコン基板を用意し、選択的にイオン注入法により分離、独立したウェル領域を形成し、LOCOS法で選択的にフィールド酸化膜を形成する工程と、ゲート酸化膜を形成した後、所定のしきい値制御用のチャネルドープを行い、CVD法により第一のポリシリコン層を堆積し、前記第一のポリシリコン層が低抵抗となるように高濃度のリンなどの不純物を導入する工程と、前記第一のポリシリコン層を所定の形状にエッチング加工して低抵抗のゲート電極と低抵抗ポリシリコン層を形成する工程と、第一の絶縁膜を熱酸化法あるいはCVD法などにより形成する工程と、前記第一のポリシリコン層よりも薄い膜厚の第二のポリシリコン層を堆積し所定のシート抵抗値となるようにイオン注入法により $\text{BF}_2$ 等の不純物を導入する工程と、第二のポリシリコン層を使用したポリシリコン抵抗体は第一の絶縁膜を介して独立した低抵抗ポリシリコン層の上に配置形成されるようにパターニングする工程と、イオン注入法によりリンなどN型の不純物を導入して、N型トランジスタのソース領域とドレイン領域を形成する工程と、イオン注入法により $\text{BF}_2$ などP型の不純物を導入して、前記ポリシリコン抵抗体の一部に低抵抗領域を形成すると同時にP型トランジスタのソース領

域とドレイン領域を形成する工程と、P S G、N S Gなどからなる中間絶縁膜を堆積し、前記ポリシリコン抵抗体の前記低抵抗領域と前記低抵抗ポリシリコン層とは共通のコンタクトホールで接続できるように前記コンタクトホールを形成する工程と、スパッタ法により配線となるアルミニウム層をデポし、各々の前記ポリシリコン抵抗体上には各々の前記ポリシリコン抵抗体の一端の前記低抵抗領域とその下部に前記第一の絶縁膜を介して配置されたそれぞれの前記低抵抗ポリシリコン層とを共通のコンタクトホールで接続した各々のアルミニウム層が配置されるようにされるようにパターニングする工程と、保護膜を形成し、ボンディングパッドなどの領域の保護膜を除去する工程とからなることを特徴とする半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は半導体装置、特に薄膜抵抗体を使用したブリーダー抵抗回路及び該ブリーダー抵抗回路を有する半導体装置及びその製造方法に関する。

##### 【0002】

#### 【従来の技術】

従来、薄膜抵抗体を使用したブリーダー抵抗回路は数多く使用されているが、薄膜抵抗体上の配線や薄膜抵抗体下部の導電体の電位については注意されておらず、様々な配置がなされたものが知られていた。また、薄膜抵抗体材料としてポリシリコンがよく用いられているが、その膜厚は同一チップ内にMOS型トランジスタを混載する場合には、MOS型トランジスタのゲート電極と同一の膜厚とされたものが知られていた。

##### 【0003】

#### 【発明が解決しようとする課題】

しかしながら、従来の薄膜抵抗体を用いたブリーダー抵抗回路では、しばしば分圧比が不正確になるという問題点があった。またMOS型トランジスタを同一チップ内に混載した従来のブリーダー抵抗回路では、1キロオーム/口以上の高いシート抵抗値の領域ではポリシリコン薄膜抵抗体の温度による抵抗値変化（抵

抵抗値の温度係数)が大きく、広い温度範囲で高い分圧精度を得るためにはシート抵抗値を小さく設定しなければならず、従って、全体としてメガオームオーダー以上の高い抵抗値を必要とするブリーダー抵抗回路領域が占める面積が大きくなってしまふという問題点があった。

【0004】

本発明は、上記課題を解消して、正確な分圧比を有し、抵抗値の温度係数の小さい高精度のブリーダー抵抗回路、及び、このようなブリーダー抵抗回路を用いた高精度で温度係数の小さい半導体装置例えばボルテージディテクタ、ボルテージレギュレータ等の半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】

本発明の半導体装置が上記目的を達成するために採用した第一の手段は、薄膜抵抗体を使用したブリーダー抵抗回路の、薄膜抵抗体上の配線及び薄膜抵抗体下部の導電体の電位を各抵抗体の電位と略等しくなるようにしたことを特徴とする。これは、本発明者の実験により、薄膜抵抗体（特にポリシリコン薄膜抵抗体）を使用したブリーダー抵抗回路上の配線及び下部の導電体電位により、薄膜抵抗体の抵抗値が変化するという事実が明らかになったことによる。

【0006】

本発明の半導体装置が上記目的を達成するために採用した第二の手段は、ブリーダー抵抗回路のポリシリコン薄膜抵抗体を同一チップ内に混載されたMOS型トランジスタのゲート電極よりも薄い膜厚としたことを特徴とする。これは、本発明者の実験により、薄膜抵抗体（特にポリシリコン薄膜抵抗体）の膜厚が薄い程、抵抗値のバラツキが小さくなり、また、抵抗値の温度依存性が同一のシート抵抗においても小さくなるという事実が明らかになったことによる。

【0007】

本発明の半導体装置が上記目的を達成するために採用した第三の手段は、ブリーダー抵抗回路のポリシリコン薄膜抵抗体に導入する不純物をP型にしたことを特徴とする。これは、本発明者の実験により、薄膜抵抗体に導入する不純物がP型だと、抵抗値のバラツキが小さくなり、また、抵抗値の温度依存性が同一のシ

ート抵抗においても小さくなるという事実が明らかになったことによる。

#### 【0008】

本発明の半導体装置は、薄膜抵抗体を使用したブリーダー抵抗回路の、薄膜抵抗体上の配線及び薄膜抵抗体下部の導電体の電位を各抵抗体の電位と略等しくなるようにしたことにより正確な分圧比を有する高精度なブリーダー抵抗回路を実現する事ができる。特に薄膜抵抗体にポリシリコンを用いる場合、本発明の半導体装置は、ブリーダー抵抗回路のポリシリコン薄膜抵抗体の膜厚を薄くし、更にポリシリコンにP型の不純物を導入したことにより抵抗値バラツキを抑え、かつ抵抗値の温度依存性を小さくすることができる。

#### 【0009】

このようなブリーダー抵抗回路を用いて高精度で温度係数の小さい半導体装置例えばボルテージディテクタ、ボルテージレギュレータ等の半導体装置を得ることができる。

#### 【0010】

##### 【発明の実施の形態】

以下、図面を参照して本発明の好適な実施例を説明する。

図1は本発明の半導体装置のブリーダー抵抗回路領域の一実施例を示す模式的断面図である。

#### 【0011】

薄いN型の不純物濃度を有するシリコン半導体基板101中には分割されたP型のウェル領域301、302、303が形成される。ウェル領域301、302、303の不純物濃度は、シリコン半導体基板101の空乏化を防止する観点からシリコン半導体基板101表面においておおむね $1 \times 10^{16} \text{ atoms/cm}^3$ 以上あることが望ましく、ウェル領域とは言っても、濃い不純物濃度を与えて良い。シリコン半導体基板101上にはシリコン酸化膜102が形成され、シリコン酸化膜102上には配線とのコンタクトを行うための濃いP型の不純物領域103に挟まれた高抵抗領域104を有するポリシリコン抵抗体105、106、107が形成される。また、濃いP型の不純物領域103にはそれぞれアルミニウムからなる配線201、202、203、204が接続される。ここで、図示

しないがウエル領域301は配線202と、ウエル領域302は配線203と、そしてウエル領域303は配線204と電氣的に接続され同電位とされている。従ってポリシリコン抵抗体105の高抵抗領域104の電位と上部にある配線202の電位と、下部にあるウエル領域301の電位とは略等しい状態にある。ポリシリコン抵抗体106、107とそれぞれ上部に配置された配線106、107及び下部に配置されたウエル領域302、303との電位の関係も同様である。このようにそれぞれのポリシリコン抵抗体自身とその上下に位置する配線及びウエル領域との電位を等しくすることにより、各ポリシリコン抵抗体105、106、107の抵抗値は正しく保たれる。なおシリコン酸化膜102を薄く形成したい場合は、これに代えてシリコン窒化膜を有する複合膜を用いることにより、シリコン半導体基板101とポリシリコン抵抗体105、106、107との間の絶縁性を高く保つことが出来る。またシリコン半導体基板101の電導型はP型でもよく、そのときはウエル領域301、302、303はN型にする。またポリシリコン抵抗体の個数に制限はなく、ブリーダー抵抗回路に要求される分圧個数に応じて設定すれば良い。また、図示しないが、ブリーダー抵抗回路の高集積化を最優先させるために、ウエル領域をそれぞれの抵抗体毎に分割して配置することが困難なときには、ウエル領域301、302、303をいくつかの抵抗体毎にまとめたり、分割せずに一括で形成すると良い。この時は、やや分圧精度が犠牲になるが図1の実施例の次善の策と言える。また図1ではシリコン半導体基板101をN型、ウエル領域301、302、303をP型として説明したが、シリコン半導体基板101をP型、ウエル領域301、302、303をN型としてもかまわない。また、図1では配線はアルミニウムからなるとあるが、配線はバリアメタルとシリサイド膜の積層膜でもかまわない。バリアメタルとは、半導体装置の信頼性維持や長寿命化を確保するために、配線の下に成膜する耐食性や耐環境性の優れた保護皮膜の事である。本発明では、TiN及びTiの積層膜をバリアメタルとして、Al-Si-Cuをシリサイド膜として使用した。しかし、シリサイド膜はAl-Siでもかまわない。

#### 【0012】

図2は本発明の半導体装置のブリーダー抵抗回路領域の他の実施例を示す模式

的断面図である。

【0013】

シリコン半導体基板101上にはシリコン酸化膜102が形成され、シリコン酸化膜102上には濃いN型のポリシリコン薄膜401、402、403が形成される。濃いN型のポリシリコン薄膜401、402、403上にはシリコン酸化膜などからなる第1絶縁膜404を介して配線とのコンタクトを行うための濃いP型の不純物領域103に挟まれた高抵抗領域104を有するポリシリコン抵抗体105、106、107が形成される。また、ポリシリコン抵抗体105、106、107上にはシリコン酸化膜などからなる第2絶縁膜405を介してアルミニウム配線201、202、203が形成され、ポリシリコン抵抗体105、106、107の濃いP型の不純物領域103及び濃いN型のポリシリコン薄膜401、402、403にコンタクトホール506、606を介してそれぞれが接続される。従ってポリシリコン抵抗体105の高抵抗領域104の電位と上部にある配線202の電位と、下部にある濃いN型のポリシリコン薄膜401の電位とは略等しい状態にある。ポリシリコン抵抗体106、107とそれぞれ上部に配置された配線203、204、及び下部に配置された濃いN型のポリシリコン薄膜402、403との電位の関係も同様である。このようにそれぞれのポリシリコン抵抗体自身とその上下に位置する配線及び濃いN型のポリシリコン薄膜との電位を等しくすることにより、各ポリシリコン抵抗体105、106、107の抵抗値は正しく保たれる。なお図示しないがブリーダー抵抗回路と同一チップ上にMOS型トランジスタを形成する場合、濃いN型のポリシリコン薄膜401、402、403と同一の膜によりゲート電極を形成することにより製造工程の簡略化が図れる。また図1の例で述べたように信頼性の観点から第1絶縁膜404と第2絶縁膜405の両方もしくは一方をシリコン窒化膜を有する複合膜とすることも有効である。そしてポリシリコン抵抗体の個数に制限はなく、ブリーダー抵抗回路に要求される分圧個数に応じて設定すれば良い。また、図2では配線はアルミニウムからなるとあるが、配線はバリアメタルとシリサイド膜の積層膜でもかまわない。本発明では、TiN及びTiの積層膜をバリアメタルとして、Al-Si-Cuをシリサイド膜として使用した。しかし、シリサイド膜はAl-Siでもかま

わない。

【0014】

図3は本発明の半導体装置のブリーダー抵抗回路領域の一部を拡大した一実施例を示す模式的断面図である。

【0015】

図2に示した例と異なる点は、同一の電位としたいアルミニウム配線203と、ポリシリコン抵抗体106の濃いP型の不純物領域103及び濃いN型のポリシリコン薄膜402との接続を一つのコンタクトホール701を介して行っている点である。これによりコンタクトホール形成領域の占める面積を縮小する事ができ、ブリーダー抵抗回路領域全体の面積縮小に効果がある。その他の部分については図2と同一の符号を添記することで説明に代える。

【0016】

図4はシート抵抗10キロオームのポリシリコン抵抗体の上部のアルミニウム配線に0ボルトから5ボルトの電位を印加した場合のポリシリコン抵抗体の抵抗値のズレ（バラツキ）とポリシリコン抵抗体膜厚の関係を示した図である。

【0017】

図4から明らかに、ポリシリコン抵抗体膜厚が薄いほど配線の電位の影響を受けにくくなる。特にポリシリコン抵抗体膜厚を数10～2000Å程度とすることにより、抵抗値のばらつきを小さく抑えることができる。この時ポリシリコン抵抗体を均一な連続膜で形成するためには現在の製造方法（CVD法等）ではおよそ100Å以上の膜圧とする事が望ましい。不連続な膜になるとかえって抵抗値にバラツキを生じてしまう。

【0018】

本発明の半導体装置は、小さな占有面積で分圧電圧出力誤差が小さい、高精度なブリーダー抵抗回路をP型の不純物を導入したポリシリコン薄膜抵抗体を用いて実現する事ができる。以下、図面を参照して本発明の好適な実施例を説明する。

【0019】

図5は本発明の半導体装置の一実施例を示すブリーダー抵抗回路の回路図であ

る。

【0020】

端子A11と端子B12との間に印加された電圧Vを各々の抵抗R1、及びR2により端子C13から分圧電圧Voを得る。その分圧電圧Voは次式の様に表せる。

$$V_o = (R_2 / (R_1 + R_2)) * V \quad \dots \textcircled{1}$$

①式 of 分圧電圧Voを理論値とし、その理論値と実測値の差を分圧電圧出力誤差とする。分圧電圧出力誤差は次式で表せる。

$$\text{分圧電圧出力誤差} = ((| \text{理論値} V_o - \text{実測値} V_o |) / \text{理論値} V_o) * 100 \quad \dots \textcircled{2}$$

ここでポリシリコン薄膜抵抗体に導入する不純物をN型からP型に変えることにより分圧電圧出力誤差を小さくできることをデーターに基づき説明する。

【0021】

ラダー回路を構成するポリシリコン薄膜抵抗体に要求される特性として、ブリーダー回路の分圧電圧出力誤差が小さくかつ集積面積が小さいことが上げられる。一般にポリシリコン膜厚を薄くすると、低濃度不純物の濃度ばらつきが低減されるため、ブリーダー回路の分圧電圧出力誤差が小さくなり、高精度のブリーダー回路を作成することができる。しかし、ポリシリコン膜厚を薄くしてもN型の不純物を導入したポリシリコン薄膜抵抗体(以下N型ポリシリコン薄膜抵抗体と呼ぶ)の長さを短くすると分圧電圧出力誤差が大きくなってしまい、集積面積を小さくすることが困難であった。しかし、P型ポリシリコン薄膜抵抗体を用いることで同抵抗体の長さを短くし、集積面積を小さくすることができる。例として、図3を用いて説明する。

【0022】

図6は膜厚1000Å、シート抵抗10kΩ/□のブリーダー回路を構成するP型及びN型ポリシリコン薄膜抵抗体の長さ and 分圧電圧出力誤差の関係を示した図である。P型ポリシリコン薄膜抵抗体に導入したP型の不純物としてBF<sub>2</sub>イオン、N



型ポリシリコン薄膜抵抗体に導入したN型の不純物としてリンを用いた例を示してある。

【0023】

図6より、N型ポリシリコン薄膜抵抗体により構成されたブリーダー回路のポリシリコン膜厚を1000Åに薄くしても、ポリシリコン薄膜抵抗体の長さが30μm以下になると分圧電圧出力誤差0.5%以下を確保できなくなってしまう。しかし、P型ポリシリコン薄膜抵抗体により構成されたブリーダー回路ではポリシリコン薄膜抵抗体の長さが10μmでも分圧電圧出力誤差0.5%以下を確保することができる。

【0024】

図7は本発明の半導体装置の他の実施例を示す模式的断面図である。

【0025】

シリコン半導体基板101上に一对のソース領域131とドレイン領域132およびポリシリコンゲート電極133とを有するMOS型トランジスタ134が形成される。一方、フィールド酸化膜135上にはアルミニウム配線136とのコンタクトのための高濃度の不純物領域137に挟まれた高抵抗領域138を有するポリシリコン薄膜抵抗体139が形成される。図7では簡単のためポリシリコン薄膜抵抗体は一つしか描かなかったが、実際のブリーダー抵抗回路領域は多数のポリシリコン薄膜抵抗体より形成されている。

【0026】

図7において、MOS型トランジスタ134のポリシリコンゲート電極133とP型の不純物を導入したポリシリコン薄膜抵抗体139の膜厚は異なり、ポリシリコン薄膜抵抗体139の膜厚のほうが薄く形成されている。例えばポリシリコンゲート電極133の膜厚は4000オングストローム、ポリシリコン薄膜抵抗体139の膜厚は1000オングストロームに設定される。ポリシリコンゲート電極133は、一部で配線の役割を果たす必要があり、できるだけ低いシート抵抗が望ましい。これに対し、ポリシリコン薄膜抵抗体139には、できるだけ高く正確なシート抵抗値と小さな抵抗値の温度係数が求められる。従って、MOS型トランジスタ134のポリシリコンゲート電極133とポリシリコン薄膜抵

抗体 139 の膜厚を目的に合わせて変化させることは自然かつ有効な手段となる。ここで、ポリシリコン薄膜抵抗抗体 139 の抵抗値の温度係数を小さくする方法として膜厚を薄くすることおよび P 型の不純物を導入することが簡便で効果が大い。以下に発明者の実験データに基き説明する。

【0027】

図 8 は、ブリーダー抵抗回路用のシート抵抗 10 キロオームのポリシリコン薄膜抵抗抗体の抵抗値の温度係数 (TC) とポリシリコン薄膜抵抗抗体膜厚の関係を示した図である。

【0028】

ポリシリコン薄膜抵抗抗体の抵抗値の温度係数 (TC) は、ポリシリコン薄膜抵抗抗体膜厚を薄くすることにより著しく低減できることがわかる。特に 1000 オングストローム以下の膜厚では TC は  $-3000 \text{ PPM}/^{\circ}\text{C}$  以下と極めて小さくすることが可能である。

【0029】

図 8 は、シート抵抗 10 キロオームのポリシリコン薄膜抵抗抗体についての例であるが、本発明者の実験によると少なくともシート抵抗 1 ~ 500 キロオームの範囲内でポリシリコン薄膜抵抗抗体の抵抗値の温度係数 (TC) は、ポリシリコン薄膜抵抗抗体膜厚を薄くすることにより低減できることが明らかになっている。

【0030】

図 9 は膜厚 1000 Å のポリシリコン膜に不純物として P 型は  $\text{BF}_2$ 、N 型はリンを用いた時のシート抵抗値と温度係数 (TC) の関係を示した図で、N 型ポリシリコン薄膜抵抗抗体に比べ P 型ポリシリコン薄膜抵抗抗体の温度に対する抵抗値変動が小さいことを示している。

【0031】

シート抵抗値を大きくすると低濃度不純物の濃度バラツキが大きくなり分圧電圧出力誤差が大きくなってしまう。さらに、温度に対する抵抗値変動も大きくなってしまうため、シート抵抗値は  $25 \text{ k}\Omega/\square$  以下が望ましい。また、抵抗値が小さいとグレインサイズのバラツキが無視できなくなるのでシート抵抗値は  $1 \text{ k}\Omega/\square$  以上が望ましい。つまり、P 型ポリシリコン薄膜抵抗抗体のシート抵抗値は  $1 \text{ k}\Omega$

／□から25kΩ／□が望ましく、そのときのP型ポリシリコン薄膜抵抗体の温度に対する抵抗値変動は-4000ppm／℃以下である。

【0032】

図10は本発明の半導体装置の他の実施例を示す模式的断面図である。

【0033】

シリコン半導体基板101上に二酸化シリコン等からなる第一の絶縁膜151が形成される。第一の絶縁膜151上の平坦な面上にはアルミニウムなどの金属配線152とのコンタクトのための不純物濃度の高い低抵抗領域153に挟まれた高抵抗領域154を有するポリシリコン薄膜抵抗体155が形成される。P型の不純物を導入したポリシリコン薄膜抵抗体155及び第一の絶縁膜151上にはPSGやBPSGなどからなる第二の絶縁膜156が形成され、第二の絶縁膜156にはコンタクトホール157が設けられて金属配線152と不純物濃度の高い低抵抗領域153とが電氣的に接続される。ここでポリシリコン薄膜抵抗体155内の高抵抗領域154の膜厚は低抵抗領域153よりも小さくしてある。高抵抗領域154の膜厚を薄くすることで高いシート抵抗値を得て占有面積を縮小しつつ小さな温度係数を確保している。一方、低抵抗領域153は、金属配線152と接続するためのコンタクトホール157形成時にポリシリコン膜の突き抜けが生じないように厚く形成した。本発明者の実験では、約10キロオーム／□のシート抵抗値の場合に高抵抗領域154の膜厚を1000オングストローム以下にすることで抵抗値の温度係数を-3000PPM／℃以下と極めて小さくできることがわかっている。また最近のICプロセスでは、微細化のためにコンタクトホールをドライエッチングにより形成するのが一般的である。第二の絶縁膜156にコンタクトホール157を形成する際、エッチング残りを生じさせないためにオーバーエッチングを行うが、その間ポリシリコン薄膜抵抗体155内の低抵抗領域153もエッチングされてしまう。そこで低抵抗領域153の膜厚を厚くすることによりコンタクトホール157の突き抜けを防止した。第二の絶縁膜156がPSGまたはBPSGにより形成され、その膜厚が1ミクロン以下の場合、低抵抗領域153の膜厚はおおむね2000オングストローム以上であれば突き抜けを防止することができた。

## 【0034】

図11は本発明の半導体装置の他の実施例を示す模式的断面図である。

## 【0035】

図9の例と異なる点は、第一の絶縁膜151の膜厚が部分的に異なり、膜厚の薄い領域の上にポリシリコン薄膜抵抗体155の低抵抗領域153が形成され、膜厚の厚い領域の上に高抵抗領域154が形成されており、低抵抗領域153と高抵抗領域154との上面はほぼ平坦な同一面を形成している点である。これによって、高抵抗領域154の膜厚を薄く、一方、低抵抗領域153は厚く形成できるので、図10の例で説明した効果が得られる。他の部分の説明に付いては、図10と同一の符号を添記することにより説明に替える。

## 【0036】

図10及び図11では簡単のためポリシリコン薄膜抵抗体は一つしか描かなかったが、実際の抵抗回路領域は多数のポリシリコン薄膜抵抗体より形成されている。また、図10及び図11では配線はアルミニウムからなるとあるが、配線はバリアメタルとシリサイド膜の積層膜でもかまわない。例えば、本発明では、TiN及びTiをバリアメタルとして、Al-Si-Cuをシリサイド膜として使用した。しかし、シリサイド膜はAl-Siでもかまわない。

## 【0037】

図12は本発明によるブリーダー抵抗回路を用いたボルテージディテクタの一実施例のブロック図である。

## 【0038】

簡単のため単純な回路の例を示したが、実際の製品には必要に応じて機能を追加すればよい。

## 【0039】

ボルテージディテクタの基本的な回路構成要素は電流源703、基準電圧回路701、ブリーダー抵抗回路702、誤差増幅器704であり他にインバータ706、N型トランジスタ705および708、P型トランジスタ707などが付加されている。以下に簡単に動作の一部を説明をする。

## 【0040】

VDDが所定の解除電圧以上のときはN型トランジスタ705、708がOFFし、P型トランジスタ707はONとなり出力OUTにはVDDが出力される。

このとき誤差増幅器704の入力電圧は  $(RB + RC) / (RA + RB + RC) * VDD$  となる。

【0041】

VDDが低下し検出電圧以下になると出力OUTにはVSSが出力される。このときN型トランジスタ705はONで、誤差増幅器704の入力電圧は  $RB / (RA + RB) * VDD$  となる。

【0042】

このように、基本的な動作は、基準電圧回路701で発生した基準電圧とブリーダー抵抗回路702で分圧された電圧とを誤差増幅器704で比較することにより行われる。従ってブリーダー抵抗回路702で分圧された電圧の精度がきわめて重要となる。ブリーダー抵抗回路702の分圧精度が悪いと誤差増幅器704への入力電圧がバラツキ、所定の解除あるいは検出電圧が得られなくなってしまう。本発明によるブリーダー抵抗回路を用いることにより高精度の分圧が可能となるためICとしての製品歩留まりが向上したり、より高精度なボルテージディテクタを製造する事が可能となる。またICの消費電流を抑えるために、ブリーダー抵抗回路702全体の抵抗値はメガオームオーダー以上の高抵抗とする場合が多く、このとき、一定の精度を保つために非常に細長い形状の抵抗体を組み合わせて構成するため広い面積を必要とする。ボルテージディテクタではICチップ面積全体の半分以上もの面積をブリーダー抵抗回路が占めることも珍しくない。本発明によるブリーダー抵抗回路は各抵抗体の抵抗値バラツキが小さいため、短い形状で一定の精度を得ることができる。従って、ブリーダー抵抗回路の占有面積を小さくでき、ICチップ全体の面積縮小に大きく貢献する。

【0043】

図13は本発明によるブリーダ抵抗回路を用いたボルテージレギュレータの一実施例のブロック図である。

【0044】

簡単のため単純な回路の例を示したが、実際の製品には必要に応じて機能を追加すればよい。

#### 【0045】

ボルテージレギュレータの基本的な回路構成要素は電流源703、基準電圧回路701、ブリーダー抵抗回路702、誤差増幅器704そして電流制御トランジスタとして働くP型トランジスタ710などである。以下に簡単に動作の一部を説明をする。

#### 【0046】

誤差増幅器704は、ブリーダー抵抗回路702によって分圧された電圧と基準電圧回路701で発生した基準電圧とを比較し、入力電圧VINや温度変化の影響を受けない一定の出力電圧VOUTを得るために必要なゲート電圧をP型トランジスタ710に供給する。ボルテージレギュレータにおいても図12で説明したボルテージディテクタの場合と同様に、基本的な動作は、基準電圧回路701で発生した基準電圧とブリーダー抵抗回路702で分圧された電圧とを誤差増幅器704で比較することにより行われる。従ってブリーダー抵抗回路702で分圧された電圧の精度がきわめて重要となる。ブリーダー抵抗回路702の分圧精度が悪いと誤差増幅器704への入力電圧がバラツキ、所定の出力電圧VOUTが得られなくなってしまう。本発明によるブリーダー抵抗回路を用いることにより高精度の分圧が可能となるためICとしての製品歩留まりが向上したり、より高精度なボルテージレギュレータを製造する事が可能となる。

#### 【0047】

次に本発明による半導体装置の製造方法を図14および図15を用いて説明する。

#### 【0048】

図14(a)～(f)は、本発明による半導体装置の製造方法の一実施例を示す模式的断面図である。

#### 【0049】

図14(a)で、薄いN型のシリコン基板801を用意し、選択的にイオン注入法によりP型の不純物を導入した後、熱処理を施して分離、独立したPウェル

領域 802 を形成する。P ウェル領域 802 の表面濃度は約  $1 \times 10^{16} \text{ atoms/cm}^3$  である。そして LOCOS 法で選択的に約 8000 Å 厚さを有するフィールド酸化膜 803 を形成する。次に図 14 (b) に示すように、ゲート酸化膜 804 を形成した後、所定のしきい値制御用のチャネルドーピングを行い、CVD 法によりポリシリコン層 805 を約 4000 Å の厚さで堆積し所定のシート抵抗値となるようにイオン注入法によりリン等の不純物を導入する。次に図 14 (c) に示すように所定の領域が所定のシート抵抗値となるように選択的にイオン注入法により  $\text{BF}_2$  等の不純物を導入し、ポリシリコン層 805 の所定の領域が低抵抗になるように選択的に高濃度のリンなどの不純物を導入した後、所定の形状にエッチング加工して低抵抗のゲート電極 806 と高抵抗領域 809 を有するポリシリコン抵抗体 807 を形成する。それぞれのポリシリコン抵抗体 807 は前の工程で形成した P ウェル領域 802 と整合するように配置する。そしてイオン注入法により  $\text{BF}_2$  など P 型の不純物を導入して、P 型トランジスタのソース領域 810 とドレイン領域 811 及びポリシリコン抵抗体の低抵抗領域 808 を形成する。ここで N 型トランジスタは図示しないが、P 型トランジスタと同様にイオン注入法によりリンなど N 型の不純物を導入して、トランジスタのソース領域とドレイン領域を形成する。次に図 14 (d) に示すように、PSG、NSG などからなる中間絶縁膜 812 を約 8000 Å 堆積し、続いてコンタクトホール 813 を形成する。次に図 14 (e) に示すように、スパッタ法により配線となる約 1 ミクロンの厚さのアルミニウム層 814 をデポし、所定の形状にパターニングする。この時各ポリシリコン抵抗体 807 上には各ポリシリコン抵抗体 807 の一端の低抵抗領域 808 と接続したアルミニウム層 814 が配置されるようにする。また図示しないが、このアルミニウム層 814 は各ポリシリコン抵抗体 807 の下部にフィールド酸化膜 803 を介して配置された P ウェル領域 802 とも接続する。次に図 14 (f) に示すように、シリコン窒化膜からなる約 8000 Å 厚さを有する保護膜 815 を形成する。そして図示しないがボンディングパッドなどの領域の保護膜 815 を除去する。以上の工程によって本発明によるポリシリコン抵抗体を有する半導体装置が完成する。

【0050】

図15(a)～(f)は、本発明による半導体装置の製造方法の他の実施例を示す模式的断面図である。

【0051】

図15(a)で、薄いN型のシリコン基板801を用意し、選択的にイオン注入法によりP型の不純物を導入した後、熱処理を施して分離、独立したPウェル領域802を形成する。Pウェル領域802の表面濃度は約 $1 \times 10^{16} \text{ atoms/cm}^3$ である。図14で説明した例と異なり、Pウェル領域802は後にポリシリコン抵抗体を形成する領域には必ずしも形成する必要はない。次にLOCOS法で選択的に約8000Å厚さを有するフィールド酸化膜803を形成する。次にゲート酸化膜804を形成した後、所定のしきい値制御用のチャネルドーピングを行い、CVD法によりポリシリコン層805を約4000Åの厚さで堆積する。そしてポリシリコン層805が低抵抗となるように高濃度のリンなどの不純物を導入する。次に図15(b)に示すように、ポリシリコン層805を所定の形状にエッチング加工して低抵抗のゲート電極806と低抵抗ポリシリコン層901を形成する。次に図15(c)に示すように第一の絶縁膜902を熱酸化法あるいはCVD法などにより形成する。第一の絶縁膜902はシリコン酸化膜またはシリコン窒化膜を含む多層膜からなる。次に図15(d)に示すようにポリシリコンを1000Åの厚さで堆積し所定のシート抵抗値となるようにイオン注入法により $\text{BF}_3$ 等の不純物を導入する。続いて所定の形状にパターニングした後、イオン注入法により $\text{BF}_3$ などP型の不純物を導入して、低抵抗領域808とP型トランジスタのソース領域810とドレイン領域811を同時に形成する。これで低抵抗領域808に挟まれた高抵抗領域809を有するポリシリコン抵抗体807ができあがる。ここで各ポリシリコン抵抗体807は第一の絶縁膜902を介して独立した低抵抗ポリシリコン層901の上に形成されている。また、N型トランジスタ領域は図示しないが、P型トランジスタと同様にイオン注入法によりリンなどのN型の不純物を導入して、トランジスタのソース領域とドレイン領域を形成する。次に図15(e)に示すように、PSG、NSGなどからなる中間絶縁膜812を約8000Å堆積し、続いてコンタクトホール813を形成する。この時ポリシリコン抵抗体807の低抵抗領域808と低抵抗ポリシリコ



ン層901とは共通のコンタクトホール903で接続できるようにする。次に図15(f)に示すように、スパッタ法によりバリアメタルとなるTi/TiNの積層膜を約1500Åデポし、その後配線となる約1ミクロンの厚さのアルミニウム層814をデポし、所定の形状にパターンニングする。この時各ポリシリコン抵抗体807上には各ポリシリコン抵抗体807の一端の低抵抗領域808とその下部に第一の絶縁膜902を介して配置された低抵抗ポリシリコン層901とを共通のコンタクトホール903で接続したアルミニウム層814が配置されるようにする。次にシリコン窒化膜からなる約8000Å厚さを有する保護膜815を形成する。そして図示しないがボンディングパッドなどの領域の保護膜815を除去する。以上の工程によって本発明によるポリシリコン抵抗体を有する半導体装置が完成する。

#### 【0052】

##### 【発明の効果】

上述したように本発明によれば、ブリーダー抵抗回路における各ポリシリコン抵抗体自身とその上下に位置する導電体との電位を等しくすることにより、各ポリシリコン抵抗体の抵抗値は正しく保たれる。従って正確な分圧比を有する高精度なブリーダー抵抗回路を実現する事ができる。この時ポリシリコン抵抗体の膜厚を2000Å以下およびポリシリコン抵抗体に導入する不純物をP型にすることで各ポリシリコン抵抗体の抵抗値のバラツキを低減させ、より高精度なブリーダー抵抗回路を実現する事ができる。また、ブリーダー抵抗回路におけるポリシリコン抵抗体の膜厚を薄くすることにより抵抗値の温度係数を小さくすることができる。特に1000Å以下の膜厚とすると約10kΩ/□のシート抵抗値で3000ppm/℃以下というきわめて小さい温度係数を得ることができる。従って広い温度範囲で高い分圧精度を保証できるブリーダー抵抗回路を従来方法による占有面積よりも小さな面積で形成することができるという効果がある。

#### 【0053】

本発明によるボルテージディテクタやボルテージレギュレーターにおいては、高精度の分圧が可能となるためICとしての製品歩留まりが向上したり、より高精度な製品を製造する事が可能となる。またICの消費電流を抑えるために、ブ

リーダー抵抗回路全体の抵抗値はメガオームオーダー以上の高抵抗とする場合が多く、このとき、一定の精度を保つために非常に細長い形状の抵抗体を組み合わせて構成するため広い面積を必要とする。ボルテージディテクタではICチップ面積全体の半分以上もの面積をリーダー抵抗回路が占めることも珍しくない。本発明によるリーダー抵抗回路は各抵抗体の抵抗値バラツキが小さいため、短い形状で一定の精度を得ることができる。従って、リーダー抵抗回路の占有面積を小さくでき、ICチップ全体の面積縮小に大きく貢献する。

【0054】

本発明による半導体装置の製造方法をとることにより、特殊な工程や大幅な工程増加を必要とせずに上述の半導体装置を形成することができるという効果がある。

【図面の簡単な説明】

【図1】

本発明の半導体装置のリーダー抵抗回路領域の一実施例を示す模式的断面図である。

【図2】

本発明の半導体装置のリーダー抵抗回路領域の他の実施例を示す模式的断面図である。

【図3】

本発明の半導体装置のリーダー抵抗回路領域の一部を拡大した一実施例を示す模式的断面図である。

【図4】

シート抵抗10キロオームのポリシリコン抵抗体の上部のアルミニウム配線に5ボルトの電位を印加した場合のポリシリコン抵抗体の抵抗値のズレとポリシリコン抵抗体膜厚の関係を示した図である。

【図5】

本発明の半導体装置の一実施例を示すリーダー抵抗回路の回路図である。

【図6】

膜厚1000Å、シート抵抗10kΩ/□のリーダー回路を構成するP型及びN型ボ

リシリコン薄膜抵抗体の長さと分圧電圧出力誤差の関係を示した図である。

【図 7】

本発明の半導体装置の他の実施例を示す模式的断面図である。

【図 8】

ブリーダー抵抗回路用のシート抵抗 10 キロオームのポリシリコン薄膜抵抗体の抵抗値の温度係数 (TC) とポリシリコン薄膜抵抗体膜厚の関係を示した図である。

【図 9】

膜厚 1000 Å のポリシリコン膜に不純物として P 型は  $\text{BF}_2$ 、N 型はリンを用いた時のシート抵抗値と温度係数の関係を示した図である。

【図 10】

本発明の半導体装置の他の実施例を示す模式的断面図である。

【図 11】

本発明の半導体装置の他の実施例を示す模式的断面図である。

【図 12】

本発明によるブリーダー抵抗回路を用いたボルテージディテクタの一実施例のブロック図である。

【図 13】

本発明によるブリーダー抵抗回路を用いたボルテージレギュレータの一実施例のブロック図である。

【図 14】

本発明による半導体装置の製造方法の一実施例を示す模式的断面図である。

【図 15】

本発明による半導体装置の製造方法の他の実施例を示す模式的断面図である。

【符号の説明】

- 101 シリコン半導体基板
- 102 シリコン酸化膜
- 103 濃い N 型の不純物領域
- 104 高抵抗領域

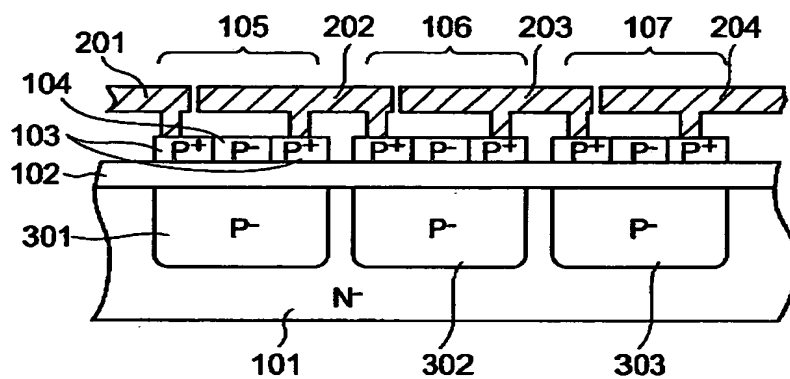
- 105 ポリシリコン抵抗体
- 106 ポリシリコン抵抗体
- 107 ポリシリコン抵抗体
- 131 ソース領域
- 132 ドレイン領域
- 133 ポリシリコンゲート電極
- 134 MOS型トランジスタ
- 135 フィールド酸化膜
- 136 アルミニウム配線
- 137 高濃度の不純物領域
- 138 高抵抗領域
- 139 ポリシリコン薄膜抵抗体
- 140 中間絶縁膜
- 151 第一の絶縁膜
- 152 金属配線
- 153 低抵抗領域
- 154 高抵抗領域
- 155 ポリシリコン薄膜抵抗体
- 156 第二の絶縁膜
- 157 コンタクトホール
- 201 配線
- 202 配線
- 203 配線
- 204 配線
- 301 ウエル領域
- 302 ウエル領域
- 303 ウエル領域
- 401 濃いN型のポリシリコン薄膜
- 402 濃いN型のポリシリコン薄膜

- 403 濃いN型のポリシリコン薄膜
- 404 第1絶縁膜
- 405 第2絶縁膜
- 506 配線とポリシリコン抵抗体の濃いP型の不純物領域との接続用のコンタクトホール
- 606 配線と濃いN型のポリシリコンとの接続用のコンタクトホール
- 700 配線とポリシリコン抵抗体の濃いP型の不純物領域及び濃いN型のポリシリコンとの接続用コンタクトホール
  - 701 基準電圧回路
  - 702 ブリーダー抵抗回路
  - 703 電流源
  - 704 誤差増幅器
  - 705 N型トランジスタ
  - 706 インバータ
  - 707 P型トランジスタ
  - 708 N型トランジスタ
  - 709 寄生ダイオード
  - 710 P型トランジスタ
- 801 シリコン基板
  - 802 Pウェル領域
  - 803 フィールド酸化膜
  - 804 ゲート酸化膜
  - 805 ポリシリコン層
  - 806 ゲート電極
  - 807 ポリシリコン抵抗体
  - 808 低抵抗領域
  - 809 高抵抗領域
  - 810 ソース領域
  - 811 ドレイン領域

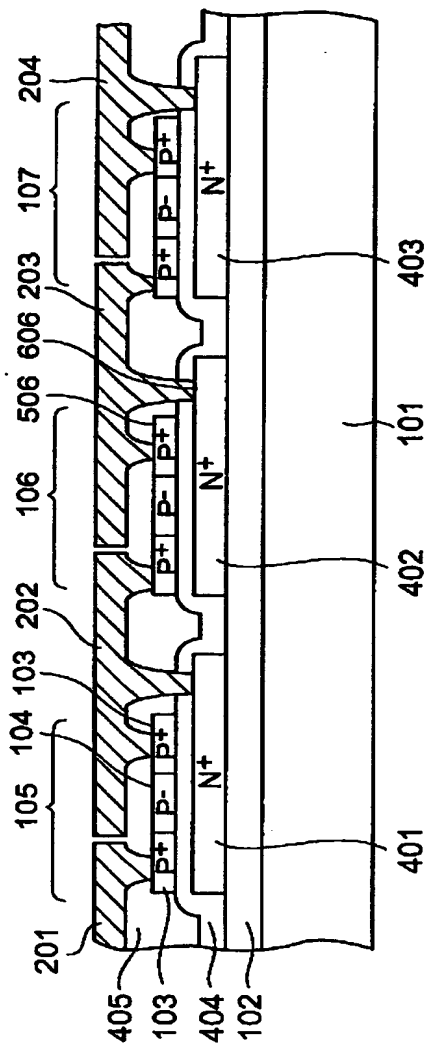
- 8 1 2 中間絶縁膜
- 8 1 3 コンタクトホール
- 8 1 4 アルミニウム層
- 8 1 5 保護膜
- 9 0 1 低抵抗ポリシリコン層
- 9 0 2 第一の絶縁膜
- 9 0 3 共通のコンタクトホール

【書類名】 図面

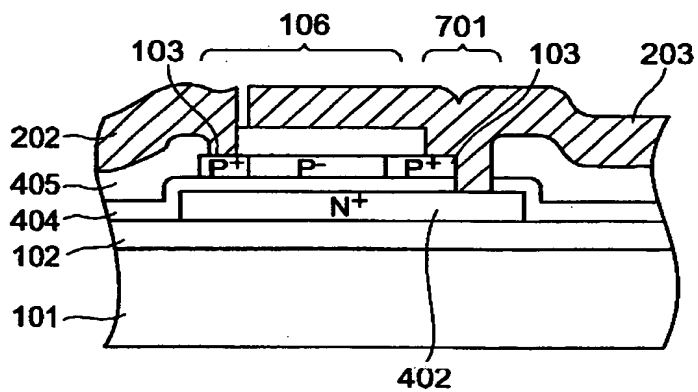
【図 1】



【図 2】

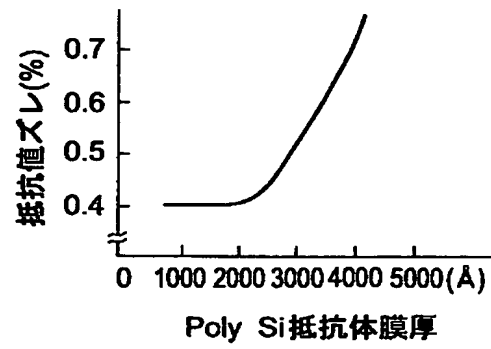


【図 3】

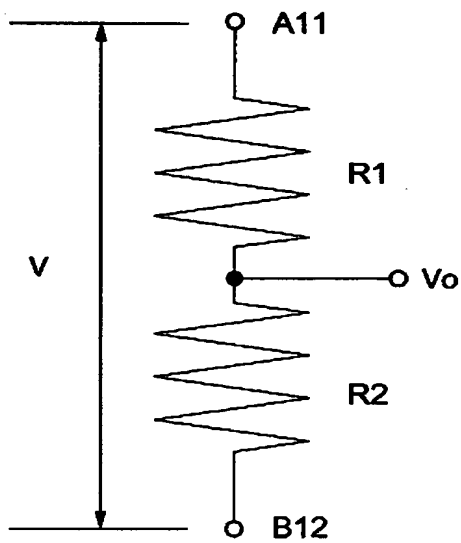




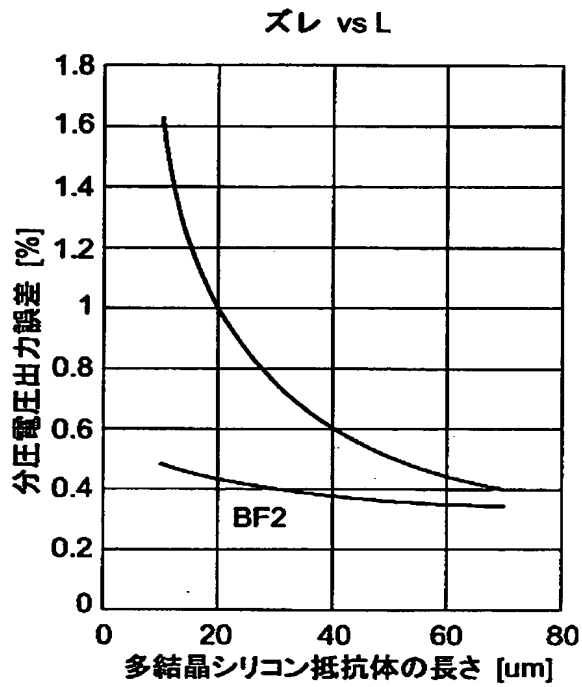
【図4】



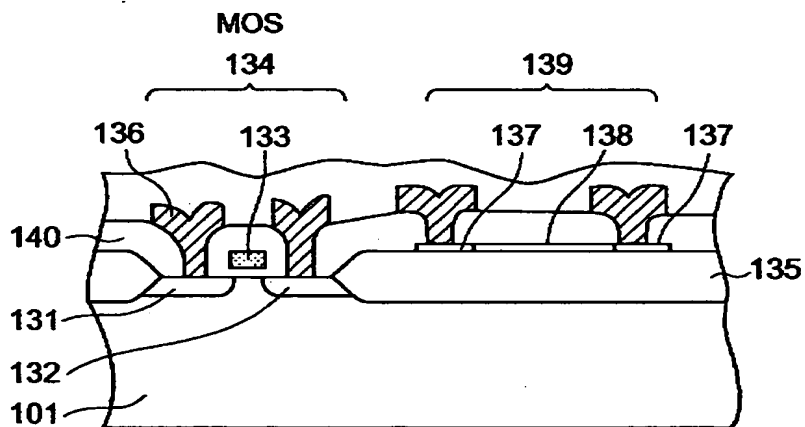
【図5】



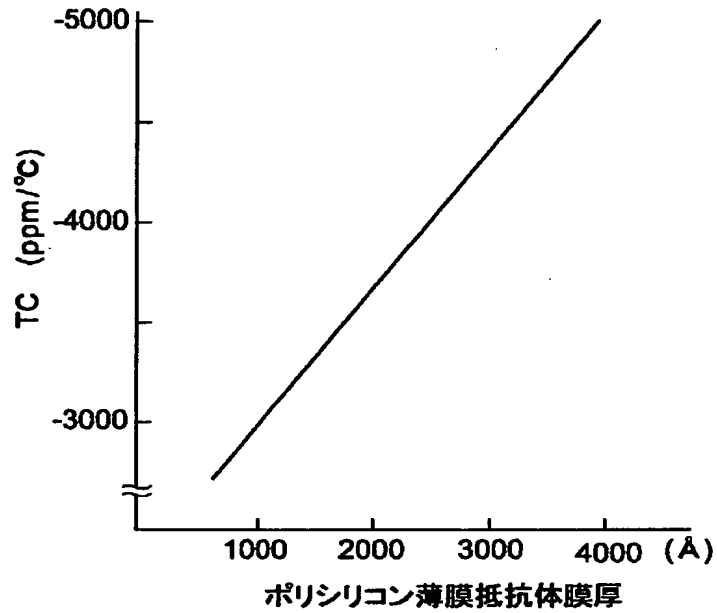
【図6】



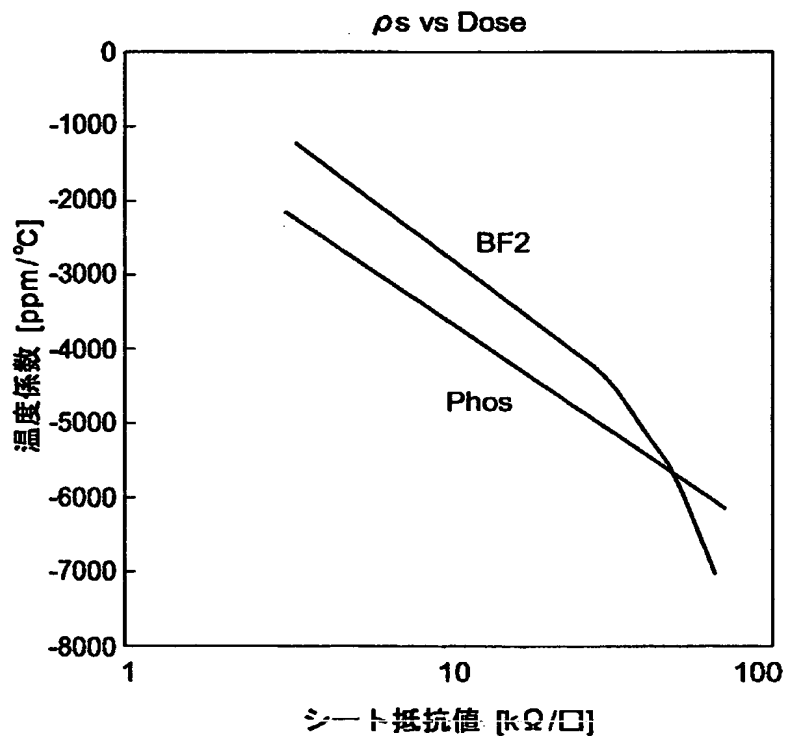
【図7】



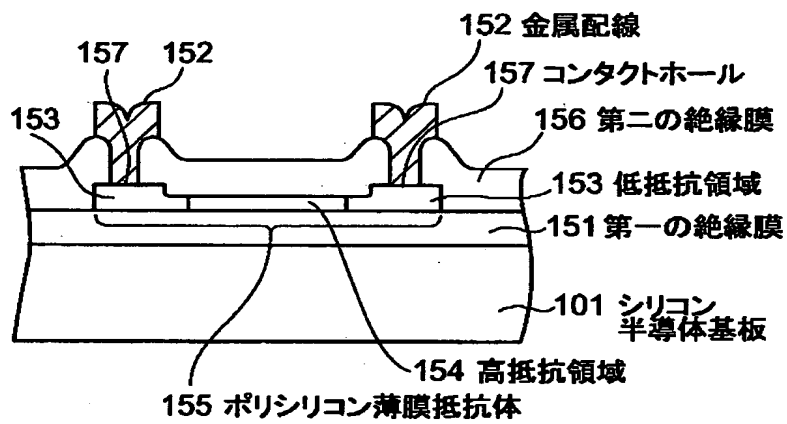
【図 8】



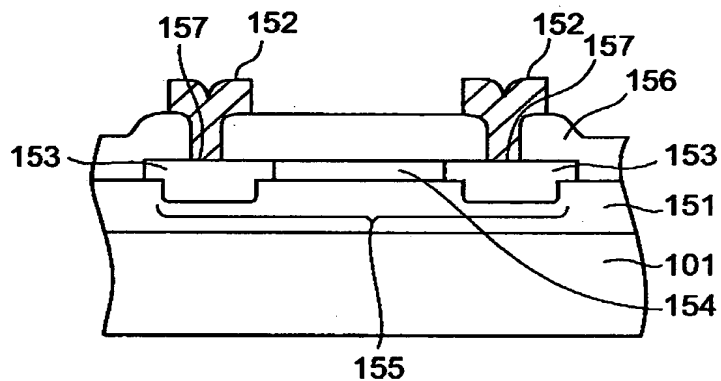
【図 9】



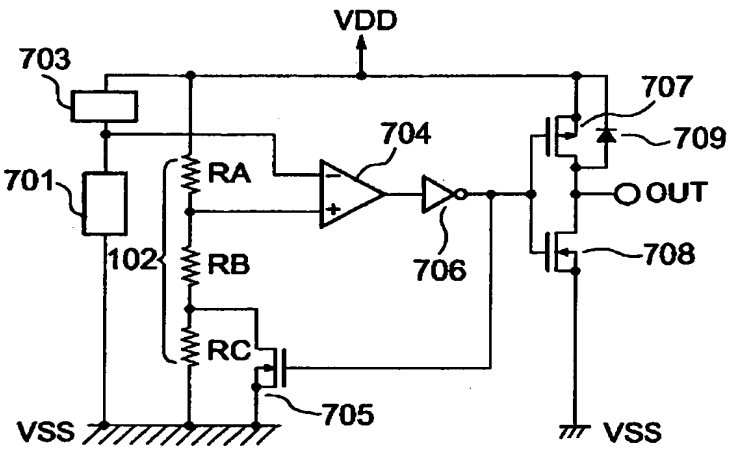
【図10】



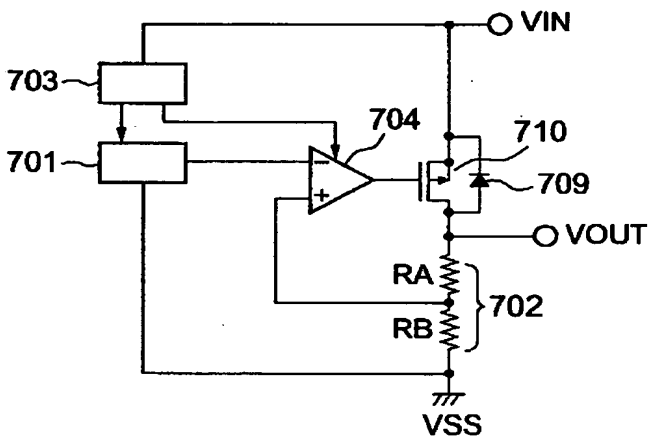
【図11】



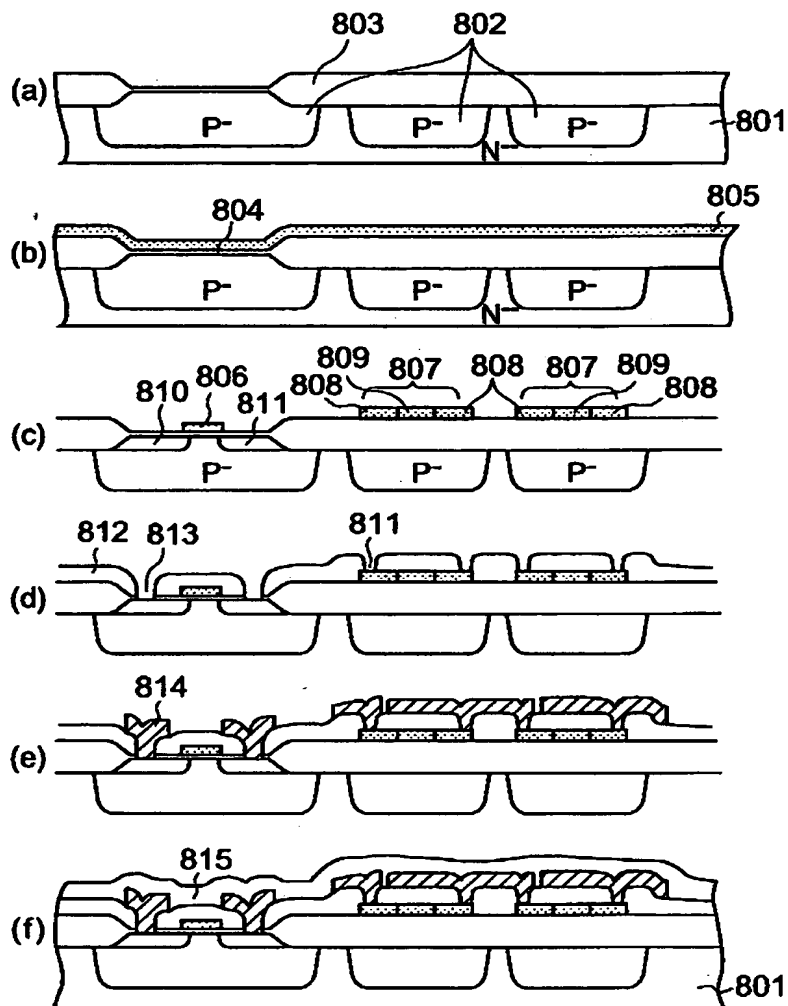
【図 1 2】



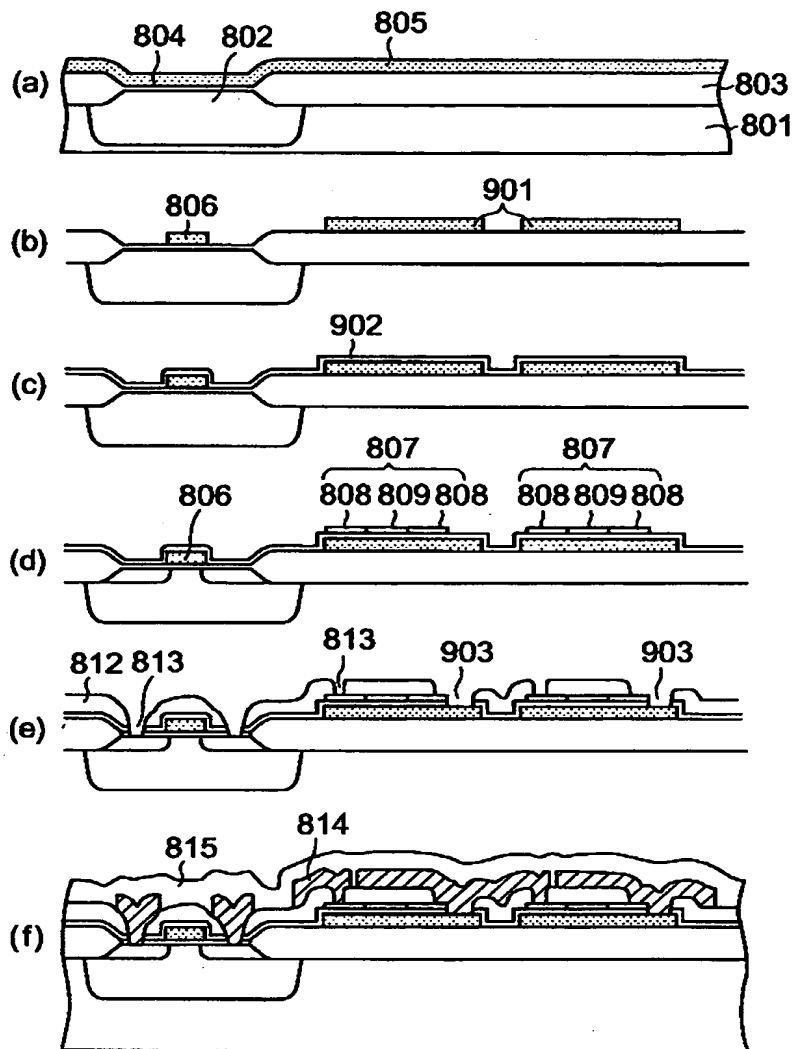
【図 13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 正確な分圧比を有し、抵抗値の温度係数の小さい高精度のブリーダー抵抗回路、及び、このようなブリーダー抵抗回路を用いた高精度で温度係数の小さい半導体装置例えばボルテージディテクタ、ボルテージレギュレータ等の半導体装置を提供することを目的とする。

【解決手段】 薄膜抵抗体を使用したブリーダー抵抗回路の、薄膜抵抗体上の導電体及び薄膜抵抗体下部の導電体の電位を各薄膜抵抗体の電位と略等しくなるようにしたこと。および、薄膜抵抗体にポリシリコンを用いる場合、ポリシリコン薄膜抵抗体の膜厚を薄くし、ポリシリコン薄膜抵抗体に導入した不純物をP型にしたことにより抵抗値バラツキを抑え、かつ抵抗値の温度依存性を小さくしたことを特徴とする。

【選択図】 図2



出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日 1997年 7月23日  
[変更理由] 名称変更  
住 所 千葉県千葉市美浜区中瀬1丁目8番地  
氏 名 セイコーインスツルメンツ株式会社